

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268514

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H03L 7/085

H03D 3/02

H03K 5/26

(21)Application number : 05-051158

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.03.1993

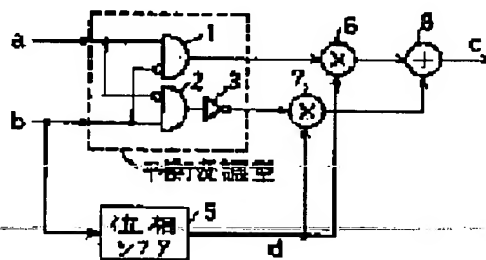
(72)Inventor : KOUNO KOUUN

## (54) PHASE DETECTION CIRCUIT

### (57)Abstract:

**PURPOSE:** To eliminate a high frequency ripple of an output current and to avoid dispersion in an input phase difference where an average output current is made zero by inverting both outputs in response to a signal obtained by shifting a phase of either of 1st and 2nd input signals and using the inverted outputs as final outputs.

**CONSTITUTION:** An AND circuit 1 ANDs an input signal (a) being positive and an input signal (b) being negative. An AND circuit 2 ANDs the input signal (a) being negative and the input signal (b) being positive. Then the output of the AND circuit 2 is inverted by an inverter circuit 3. A phase shift signal (d) is obtained from the input signal (b) by a phase shifter circuit 5. A multiplier circuit 6 multiplies the output of the AND circuit 1 with the signal (d) and the product is fed to one input of an adder 8. A multiplier circuit 7 multiplies an output of the inverter circuit 3 with the signal (d) and the product is fed to the other input of the adder 8. An output C is obtained from the adder 8. Since the circuit above is not affected by a current mirror circuit or the like at an output stage, no dispersion is caused in the phase difference in which an average output current is made zero.



a	H	L	H	L	H	L
b	H	L	L	H	L	H
d	*	*	H	L		
c	0	0	+	-	-	+

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号 -

特開平6-268514

(43)公開日 平成 6年(1994) 9月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/085				
H 0 3 D 3/02		Z 4239-5 J		
H 0 3 K 5/26		Z 7402-5 J		
		9182-5 J	H 0 3 L 7/ 08	A

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平5-51158

(22)出願日 平成 5年(1993) 3月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 河野 光雲

埼玉県深谷市幡羅町一丁目 9番 2号 株式  
会社東芝深谷工場内

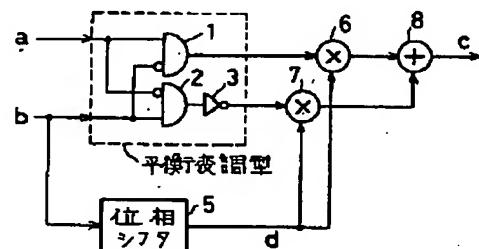
(74)代理人 弁理士 大胡 典夫

(54)【発明の名称】 位相検波回路

(57)【要約】

【目的】 高周波リップル成分がなく、平均出力電流が零となる入力位相差がばらつかない位相検波回路を提供する。

【構成】 AND 1に、正の入力信号 a 及び負の入力信号 b を加える。AND 2に、負の a 及び正の b を加え、その出力をインバータ 3 に加える。AND 1 の出力と b を位相シフトした信号 d を掛算器 6 に加え、その出力を加算器 8 に加える。インバータ 3 の出力と d を掛算器 7 に加え、その出力を加算器 8 に加えて最終出力 C を得る。



a	H	L	H	L	H	L
b	H	L	L	H	L	H
d	*	*	H	L		
c	0	0	+	-	-	+

## 【特許請求の範囲】

【請求項1】 第1と第2の入力信号がそれぞれ所定の正の方向または負の方向に振れたときにある極性の出力となり、また前記第1と第2の入力信号がそれぞれ前記所定の方向とは逆の方向に振れたときに前述と逆の極性の出力となり、更に前記第1と第2の入力信号のいずれかを位相シフトさせた信号に応じて前述の両出力の極性を反転して最終出力するように構成した位相検波回路。

【請求項2】 両ベース電極間に第1の入力信号が入力される第1及び第2のトランジスタからなる第1の差動増幅器と、

両エミッタ電極が前記第1のトランジスタのコレクタ電極に接続される第3及び第4のトランジスタからなる第2の差動増幅器と、

両エミッタ電極が前記第2のトランジスタのコレクタ電極に接続される第5及び第6のトランジスタからなる第3の差動増幅器からなり、

第3のトランジスタ及び第5のトランジスタの両ベース電極を接続し、第4のトランジスタ及び第6のトランジスタの両ベース電極を接続し、これら2つの共通ベース電極間に第2の入力信号を入力し、前記第3乃至第6のトランジスタの4つのコレクタ電流を正方向の出力か負方向の出力かあるいは出力しないかに振り分けるゲート回路を設けて、これを前記第1もしくは第2の入力信号のいずれかを位相シフトさせた信号で制御することを特徴とする位相検波回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フェーズロックドループ（以下PLLという。）回路等に用いられる位相検波回路に関する。

【0002】

【従来の技術】 電気回路において、ある基準信号に同期したクロックを発生するのにPLL回路が用いられる。これは、電圧制御発振器の出力と基準信号との位相を比較し位相差に応じた差信号電圧を位相検波回路が発生する。そしてこの位相検波回路の出力で、前記電圧制御発振器の動作を制御する。

【0003】 ここで用いられる位相検波回路の従来例として、図4に示すような平衡変調型のものが一般的である。以下、回路構成と動作を説明する。第1の差動増幅器を構成する第1のトランジスタ $Q_1$ と第2のトランジスタ $Q_2$ の両ベース電極間に入力信号 $a$ を入力する。第1及び第2のトランジスタ $Q_1$ 、 $Q_2$ の共通エミッタ電極は電流源 $I_0$ に接続されている。第1のトランジスタ $Q_1$ のコレクタ電極は、第2の差動増幅器を構成する第3のトランジスタ $Q_3$ 及び第4のトランジスタ $Q_4$ の共通エミッタ電極に接続される。第2のトランジスタ $Q_2$ のコレクタ電極は、第3の差動増幅器を構成する第5のトランジスタ $Q_5$ 及び第6のトランジスタ $Q_6$ の共通エ

ミッタ電極に接続される。第3及び第5のトランジスタ $Q_3$ 、 $Q_5$ のベース電極は接続され共通である。第4及び第6のトランジスタ $Q_4$ 、 $Q_6$ のベース電極は接続され共通である。これら2つの共通ベース電極間に第2の入力信号 $b$ を入力する。第3及び第6のトランジスタ $Q_3$ 、 $Q_6$ のコレクタ電極は共通接続され、第7及び第8のトランジスタ $Q_{11}$ 、 $Q_{12}$ より構成される第1のカレントミラー回路で折り返され、出力端子20に接続される。第4及び第5のトランジスタ $Q_4$ 、 $Q_5$ のコレクタ電極は共通接続され、第9及び第10のトランジスタ $Q_{13}$ 、 $Q_{14}$ より構成される第2のカレントミラー回路、並びに第11及び第12のトランジスタ $Q_{15}$ 、 $Q_{16}$ より構成される第3のカレントミラー回路で2度折り返えされて、出力端子20に接続される。出力端子20には平滑用コンデンサ $C_1$ が接続され、これに出力電流 $C$ が流れる。

【0004】 入力信号 $b$ を基準信号とし、入力信号 $a$ の遅れ位相 $\theta$ とすると、 $\theta=90^\circ$ 近くでは図5（ア）に示される波形となる。図5（イ）は、位相検波特性を示す。ととて、入力信号 $a$ 、 $b$ ともにハイ（H）レベルのとき電流 $I_0$ は、第1及び第3のトランジスタ $Q_1$ 、 $Q_3$ 並びに第1のカレントミラー回路 $Q_{11}$ 、 $Q_{12}$ を通して $+I_0$ 出力となる。入力信号 $a$ がハイ（H）レベル、入力信号 $b$ がロー（L）レベルのとき電流 $I_0$ は、第1及び第4のトランジスタ $Q_1$ 、 $Q_4$ 並びに第2及び第3のカレントミラー回路 $Q_{13}$ 、 $Q_{14}$ 、 $Q_{15}$ 、 $Q_{16}$ を通して $-I_0$ 出力となる。そして、出力電流 $C$ は、入力信号 $a$ 、 $b$ の2倍の周波数の矩形波形となる。これは、入力信号 $a$ 、 $b$ が正弦波形となっても同様に矩形形状の出力信号となる。位相差が小さくなっていくと、これに比例して平均出力電流は増加していき、 $\theta=0^\circ$ で最大の $I_0$ となる。一方位相差が大きくなって $\theta=180^\circ$ で最小の $-I_0$ となる。ここで、この位相検波回路をPLL回路に用いた場合、PLLがロックするのは平均出力電流 $=0$ のときであり、これは $\theta=90^\circ$ に相当する。

【0005】 従って、図5（ア）Cに示す如く、出力電流 $C$ は入力信号 $a$ 、 $b$ の2倍の周波数をもち、かつ大きなリップルとなってしまふ。その様な大きな高周波リップルを十分に平滑する為、コンデンサ $C_1$ は大きな容量となってしまふ。このことは、PLL回路のループ応答性を悪くするとともに、例えばPLL回路を集積回路ICに内蔵せよとしても、コンデンサ $C_1$ は外付けざるを得ない。更に、正方向の出力と負方向の出力とは別々のカレントミラー回路を介して出力しているので、両者の絶対値に差が生じてしまふ。これは、平均出力電流 $=0$ となるPLLのロック位相が $\theta=90^\circ$ からずれることを意味している。即ち、PLL回路のロック位相がバラツキやすいといえる。また、コンデンサ $C_1$ はその配線に注意しないと、ここに流れる高周波成分が他へリークしてしまうおそれがある。

## 【0006】

【発明が解決しようとする課題】以上説明した様に、従来の位相比較回路は、出力電流に大きな高周波リップルを生じてしまい、しかも平均出力電流が零となる入力位相差がばらつきやすいという大きな欠点を持っている。

【0007】本発明は、出力電流の高周波リップルをなくし、しかも平均出力電流が零となる入力位相差がばらつかない位相検波回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】構成1

第1と第2の入力信号がそれぞれ所定の正の方向または負の方向に振れたときにある極性の出力となり、また前記第1と第2の入力信号がそれぞれ前記所定の方向とは逆の方向に振れたときに前述と逆の極性の出力となり、更に前記第1と第2の入力信号のいずれかを位相シフトさせた信号に応じて前述の両出力の極性を反転して最終出力するように構成する。

## 【0009】構成2

両ベース電極間に第1の入力信号が入力される第1及び第2のトランジスタからなる第1の差動増幅器と、両エミッタ電極が前記第1のトランジスタのコレクタ電極に接続される第3及び第4のトランジスタからなる第2の差動増幅器と、両エミッタ電極が前記第2のトランジスタのコレクタ電極に接続される第5及び第6のトランジスタからなる第3の差動増幅器からなり、第3のトランジスタ及び第5のトランジスタの両ベース電極を接続し、第4のトランジスタ及び第6のトランジスタの両ベース電極を接続し、これら2つの共通ベース電極間に第2の入力信号を入力し、前記第3乃至第6のトランジスタの4つのコレクタ電流を正方向の出力か負方向の出力かあるいは出力しないかに振り分けるゲート回路を設けて、これを前記第1もしくは第2の入力信号のいずれかを位相シフトさせた信号で制御する。

## 【0010】

【作用】以上の手段により、平均出力電流が零となる入力位相差は $0^\circ$ 若しくは $180^\circ$ となる。そして、従来例の様な入力信号の2倍の周波数成分が発生せず、高周波リップルが発生しない。更に、この様な状態では出力段のカレントミラー回路等の影響を受けない為に、平均出力電流が零となる位相差にばらつきを生じない。

## 【0011】

【実施例】本発明の位相検波回路の基本的なロジック・ブロックの一例を図1(A)に示す。(イ)は、(ア)のロジック・ブロック図の真理値表の一例を示す。入力信号aが正(ハイレベル)かつ入力信号bが負(ローレベル)のときのAND( $a \cdot (\neg b)$ )をAND回路1でとる。入力信号aが負(ローレベル)かつ入力信号bが正(ハイレベル)のときのAND( $(\neg a) \cdot b$ )をAND回路2でとる。そしてAND回路2の出力をインバータ回路3によって反転する。入力信号bの位相シ

フト回路5によって位相シフトし信号dを得る。掛算回路6は、AND回路1の出力と信号dを掛算し、その結果を加算器8の1端に加える。掛算回路7は、インバータ回路3の出力と信号dを掛算し、その結果を加算器8の他端に加える。加算器8からは、出力Cを得る。ここで、AND回路2の出力後の反転は、掛算と一体化されてもよい。

【0012】この例では、入力信号a及びbがともに正(ハイレベル)あるいは負(ローレベル)の場合、出力Cは信号dの極性によらず零である。信号dが正(ハイレベル)のとき、入力信号aが正(ハイレベル)かつ入力信号bが負(ローレベル)で、出力Cは正(ハイレベル)の出力となる。そして、入力信号aが負(ローレベル)かつ入力信号bが正(ハイレベル)で、出力Cは負(ローレベル)の出力となる。信号dが負(ローレベル)のときは逆になる。つまり、入力信号aが正(ハイレベル)かつ入力信号bが負(ローレベル)で、出力Cは負(ローレベル)の出力となる。入力信号aが負(ローレベル)かつ入力信号bが正(ハイレベル)で、出力Cは正(ハイレベル)の出力となる。

【0013】以下に具体的回路例とその動作を次に説明する。図2は、本発明の位相検波回路の具体的回路構成を示す図である。但し位相シフト回路5の記載は省略しているが、信号dは入力信号bを $90^\circ$ 進ませたものとする。第1の差動増幅器を構成する第1のトランジスタ $Q_1$ と第2のトランジスタ $Q_2$ の両ベース電極間に入力信号aを入力する。第1及び第2のトランジスタ $Q_1$ 、 $Q_2$ の共通エミッタ電極は電極源 $I_0$ に接続されている。第1のトランジスタ $Q_1$ のコレクタ電極は、第2の差動増幅器を構成する第3のトランジスタ $Q_3$ 及び第4のトランジスタ $Q_4$ の共通エミッタ電極に接続される。第2のトランジスタ $Q_2$ のコレクタ電極は、第3の差動増幅器を構成する第5のトランジスタ $Q_5$ 及び第6のトランジスタ $Q_6$ の共通エミッタ電極に接続される。第3及び第5のトランジスタ $Q_3$ 、 $Q_5$ のベース電極は接続され共通である。第4及び第6のトランジスタ $Q_4$ 、 $Q_6$ のベース電極は接続され共通である。これら2つの共通ベース電極間に第2の入力信号bを入力する。第3及び第6のトランジスタのコレクタ電極は、電源 $V_{cc}$ に共通接続される。第4のトランジスタ $Q_4$ のコレクタ電極は、第4の差動増幅器を構成する第7のトランジスタ $Q_7$ 及び第8のトランジスタ $Q_8$ の共通エミッタ電極に接続される。第5のトランジスタ $Q_5$ のコレクタ電極は、第5の差動増幅器を構成する第9のトランジスタ $Q_9$ 及び第10のトランジスタ $Q_{10}$ の共通エミッタ電極に接続される。第7及び第9のトランジスタ $Q_7$ 、 $Q_9$ のベース電極は接続され共通である。第8及び第10のトランジスタ $Q_8$ 、 $Q_{10}$ のベース電極は接続され共通である。これら2つの共通ベース電極間に信号dを入力する。第7及び第10のトランジスタ $Q_7$ 、 $Q_{10}$ のコレクタ電極は共通接

続され、第11及び第12のトランジスタ $Q_{11}$ 、 $Q_{12}$ より構成される第1のカレントミラー回路で折り返され、出力端子20に接続される。第8及び第9のトランジスタ $Q_8$ 、 $Q_9$ のコレクタ電極は共通接続され、第13及び第14のトランジスタ $Q_{13}$ 、 $Q_{14}$ より構成される第2のカレントミラー回路、並びに第15及び第16のトランジスタ $Q_{15}$ 、 $Q_{16}$ より構成される第3のカレントミラー回路で2度折り返えされて、出力端子20に接続される。出力端子20には平滑コンデンサ $C_1$ が接続され、これに出力電流 $C$ が流れる。

【0014】この位相検波回路の入出力波形並びに位相検波特性を図3に示す。入力信号 $a$ 、 $b$ ともにハイ

(H)レベルのとき、第1及び第3のトランジスタ $Q_1$ 、 $Q_3$ を介して電流 $I_0$ は電源 $V_{cc}$ へと流れるので出力電流は零である。入力信号 $a$ 、 $b$ ともにロー(L)レベルのとき、第2及び第6のトランジスタ $Q_2$ 、 $Q_6$ を介して電流 $I_0$ は、同様に電源 $V_{cc}$ へと流れるので出力電流は零である。図3(ア)の実線の波形は、入力信号 $a$ 、 $b$ の位相差 $0^\circ$ のときであり、出力電流は零である。図3(ア)の点線のように、入力信号 $b$ を基準信号とし、入力信号 $a$ の遅れ位相 $\theta$ が正方向になるとする。そうすると、0から $\theta$ の間は、信号 $d$ がハイ(H)レベルのとき、入力信号 $a$ がロー(L)レベル、入力信号 $b$ がハイ(H)レベルであるから、電流 $I_0$ は第2、第5、第9のトランジスタ $Q_2$ 、 $Q_5$ 、 $Q_9$ 並びに第2及び第3のカレントミラー回路 $Q_{13}$ 、 $Q_{14}$ ； $Q_{15}$ 、 $Q_{16}$ を通り $-I_0$ 出力となる。そして信号 $d$ がロー(L)レベルのとき、入力信号 $a$ がハイ(H)レベル、入力信号 $b$ がロー(L)レベルであるから、電流 $I_0$ は第1、第4、第8のトランジスタ $Q_1$ 、 $Q_4$ 、 $Q_8$ 並びに第2及び第3のカレントミラー回路 $Q_{13}$ 、 $Q_{14}$ ； $Q_{15}$ 、 $Q_{16}$ を通り同じく $-I_0$ 出力となる。従って平均出力電流は、 $\theta$ に比例して負方向に増していく。

【0015】逆に、図3(ア)の一点鎖線のように、 $\theta$ が負方向になるとする。そうすると、 $\theta$ から0の間は、入力信号 $d$ がハイ(H)レベルのとき、入力信号 $a$ がハイ(H)レベル、入力信号 $b$ がロー(L)レベルであるから、電流 $I_0$ は第1、第4、第7のトランジスタ $Q_1$ 、 $Q_4$ 、 $Q_7$ 並びに第1のカレントミラー回路 $Q_{11}$ 、 $Q_{12}$ を通り $+I_0$ 出力となる。入力信号 $d$ がロー(L)レベルのとき、入力信号 $a$ がロー(L)レベル、入力信号 $b$ がハイ(H)レベルであるから、電流 $I_0$ は第2、第5、第10のトランジスタ $Q_2$ 、 $Q_5$ 、 $Q_{10}$ 並びに第1のカレントミラー回路 $Q_{11}$ 、 $Q_{12}$ を通り $+I_0$ 出力となる。従って平均出力電流は、 $\theta$ に比例して正方向

に増していく。同様にして、本実施例の位相検波特性を平均出力電流で示すと第3図(イ)のようになる。位相差 $0^\circ$ で0、 $-90^\circ$ で最大の $I_0/2$ 、 $+90^\circ$ で最小の $-I_0/2$ となる。最大出力が従来例の $1/2$ になっているが、電源電流 $I_0$ を2倍にすれば同じである。

【0016】本発明の位相検波回路をPLL回路に用いた場合、PLLをロックする平均出力電流=0の条件を満たすのは、2つの入力信号 $a$ と $b$ の位相差が $0^\circ$ のときである。しかも、図3(ア)に示す出力電流 $C$ には、従来例の様な高周波リップルが発生していない。この為、平滑コンデンサ $C_1$ は容量が小さくて良く集積回路ICの内蔵化が可能になり、他の回路へのリークも少ない。更に、出力電流が流れない状態で位相検波特性が落ち着くので、途中に介入するばらつき要因となるカレントミラー回路の影響を受けない。これによりPLLのロック位相がばらつかない。

【0017】尚、入力信号 $a$ 、 $b$ 及び信号 $d$ の極性は、図1(イ)に限るものではない。また、本発明の位相検波回路をPLL回路に組み込んだ場合に、位相差 $\theta$ は $-180^\circ$ でロックするように設定できる。更に、第1の差動増幅器、第2及び第3の差動増幅器、第4及び第5の差動増幅器に対する入力信号 $a$ 、 $b$ 及び信号 $d$ の入力の仕方は、若干回路を変えることにより異なってもよい。

【0018】

【発明の効果】本発明の位相検波回路は、出力電流に高周波リップルを生じてなく、しかも平均出力電流が零となる入力位相差にばらつきがない。

【図面の簡単な説明】

【図1】本発明の位相検波回路の基本的なロジック・ブロック並びに真理値表である。

【図2】本発明の位相検波回路の具体的な回路構成を示す図である。

【図3】本発明の位相検波回路の入出力波形並びに位相検波特性を示す図である。

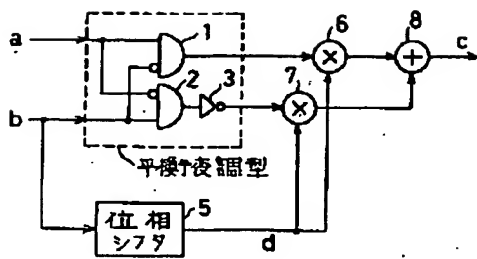
【図4】従来の位相検波回路の回路構成を示す図である。

【図5】従来の位相検波回路の入出力波形並びに位相検波特性を示す図である。

【符号の説明】

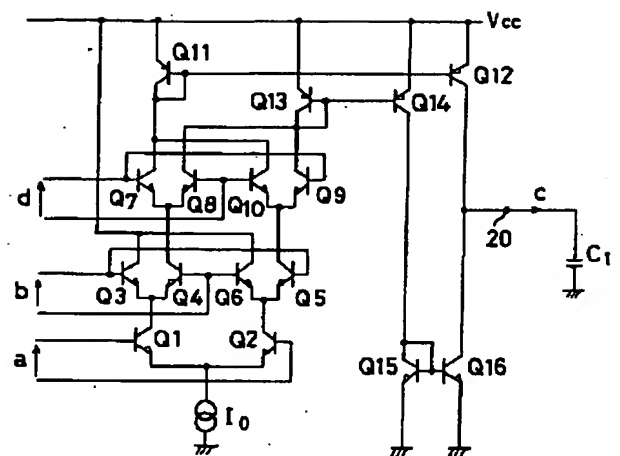
$a$ …入力信号、 $b$ …入力信号、 $d$ …入力信号 $b$ を位相シフトした信号、1…AND回路、2…AND回路、3…インバータ回路、6…掛算回路、7…掛算回路、8…加算回路、 $C$ …出力電流、 $Q_1$ 乃至 $Q_{16}$ …トランジスタ、 $I_0$ …電流源、20…出力端子、 $C_1$ …平滑コンデンサ。

【図1】



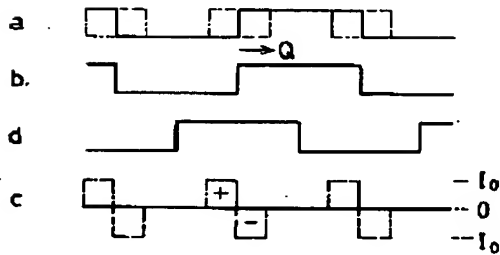
a	H	L	H	L	H	L
b	H	L	L	H	L	H
d	*	*	H	L		
c	0	0	+	-	-	+

【図2】

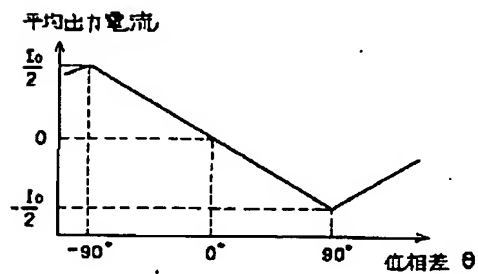


【図3】

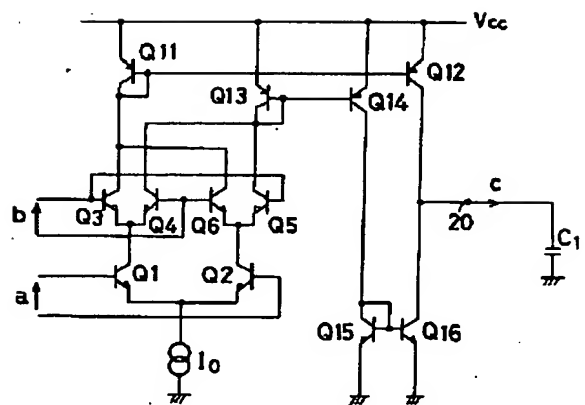
(7)



(1)

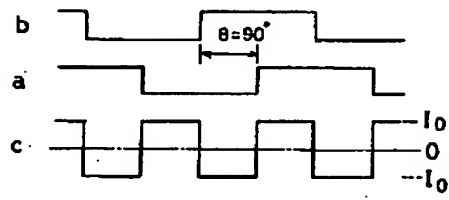


【図4】



【図5】

(7)



(1)

